

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074355

(43)Date of publication of application : 18.03.1997

(51)Int.Cl.

H03M 3/02

H03M 1/54

(21)Application number : 07-229471

(71)Applicant : YAMAHA CORP

(22)Date of filing : 06.09.1995

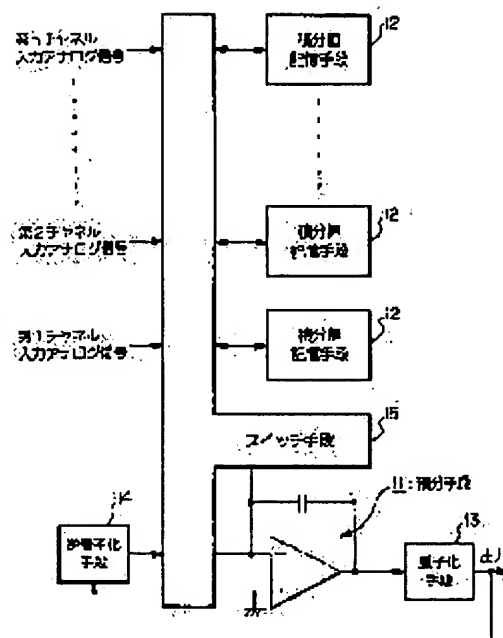
(72)Inventor : MAEJIMA TOSHIO

## (54) ANALOG/DIGITAL CONVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To process the analog signals of plural channels without extending a circuit scale.

**SOLUTION:** An integrating means 11 successively executes integration processing corresponding to respective channels. Integrated value storage means 12, 12... receive integrated value signals showing the results of integrating processing corresponding to the respective channels through a switch means 15 and store them for each channel. A quantizing means 13 quantizes the results of integrating processing corresponding to the respective channels and successively outputs digital signals corresponding to the respective channels, and an inverse quantizing means 14 converts these digital signals to feedback analog signals. The switch means 15 successively supplies the input analog signals corresponding to the respective channels, the integrated value signals stored in the integrated value storage means 12 and the feedback analog signals to the integrating means 11 and the integrated value signals provided as a result are successively supplied to the integrated value storage means 12.



## LEGAL STATUS

[Date of request for examination] 17.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3019753

[Date of registration] 07.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-74355

(43) 公開日 平成9年(1997)3月18日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 3/02 1/54		9382-5K	H 0 3 M 3/02 1/54	

審査請求 未請求 請求項の数 3 O L (全 23 頁)

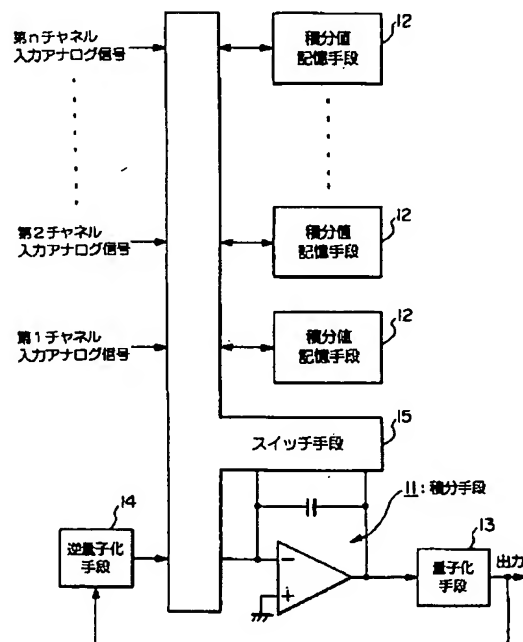
(21) 出願番号	特願平7-229471	(71) 出願人	000004075 ヤマハ株式会社 静岡県浜松市中沢町10番1号
(22) 出願日	平成7年(1995)9月6日	(72) 発明者	前島 利夫 静岡県浜松市中沢町10番1号 ヤマハ株式会社内
		(74) 代理人	弁理士 川▲崎▼ 研二 (外1名)

(54) 【発明の名称】 アナログ／デジタル変換器

(57) 【要約】

【課題】 回路規模を大きくすることなく複数チャネルのアナログ信号を処理可能なA/D変換器を提供する。

【解決手段】 積分手段11は各チャネルに対応した積分処理を順次実行する。積分値記憶手段12、12、…は、各チャネルに対応した積分処理の結果を示す積分値信号をスイッチ手段15を介して受け取り、各チャネル毎に記憶する。量子化手段13は、各チャネルに対応した積分処理の結果を量子化し、各チャネルに対応したデジタル信号を順次出力し、逆量子化手段14は、このデジタル信号を帰還アナログ信号に変換する。スイッチ手段15は、各チャネルに対応した入力アナログ信号、積分値記憶手段に記憶された積分値信号および帰還アナログ信号を積分手段11に順次供給し、この結果得られる積分値信号を積分値記憶手段12に順次供給する。



## 【特許請求の範囲】

【請求項1】 複数チャンネルの入力アナログ信号を時分割制御によりデジタル信号に順次変換するアナログ／デジタル変換器であって、

各チャンネルに対応した積分処理を順次実行する積分手段と、

前記各チャンネルに対応した積分処理の結果を示す積分値信号を各チャンネル毎に記憶する複数の積分値記憶手段と、

前記各チャンネルに対応した積分処理の結果を量子化することにより各チャンネルに対応したデジタル信号を順次出力する量子化手段と、

前記デジタル信号を帰還アナログ信号に変換する逆量子化手段と、

前記各チャンネルに対応した積分処理が行われる毎に、前記積分手段の積分処理の結果を初期化し、当該チャンネルに対応した入力アナログ信号、積分値記憶手段に記憶された積分値信号および帰還アナログ信号を前記積分手段に供給して積分処理を行わせ、該積分処理によって得られる積分値信号を当該チャンネルに対応した積分値記憶手段に供給するスイッチ手段とを具備することを特徴とするアナログ／デジタル変換器。

【請求項2】 前記積分値記憶手段は前記積分値信号を記憶するためのキャパシタを少なくとも2個有し、

前記スイッチ手段は、各チャンネル毎に、当該チャンネルに対応した積分値信号を当該チャンネルに対応した積分値記憶手段のキャパシタから前記積分手段に供給する処理と、前記積分手段から得られる当該チャンネルに対応した積分値信号を当該チャンネルに対応した積分値記憶手段の他のキャパシタに供給する処理とを同時に実行することを特徴とする請求項1記載のアナログ／デジタル変換器。

【請求項3】 前記各チャンネル毎に入力アナログ信号をサンプリングする入力スイッチドキャパシタ手段を有し、各入力スイッチドキャパシタ手段によって同一タイミングでサンプリングされた入力アナログ信号を各チャンネル毎に前記積分手段に順次供給するようにしたことを特徴とする請求項1記載のアナログ／デジタル変換器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、PCMオーディオ等の分野において使用されるデルタシグマ変調型のアナログ／デジタル変換器に関する。

【0002】

【従来の技術】デルタシグマ変調型のA/D変換器の一般的な構成を図14～図16に例示する。まず、図14に示すA/D変換器は、1次のデルタシグマ変調を行うことによりA/D変換を行うものであり、減算部1と、積分部2と、量子化部3と、逆量子化部4とを有している。この構成において、一定のサンプリング周期毎に、

積分部2の積分値を量子化部3によって量子化し1ビットのデジタル信号を出力する処理と、この出力デジタル信号と等価な帰還アナログ信号を逆量子化部4によって発生し、入力アナログ信号からこの帰還アナログ信号を減算した信号を積分部2によって積分する処理が逐次実行される。かかる処理が繰り返される結果、入力アナログ信号によってパルス密度変調された1ビットのデジタル信号が得られる。図15および図16は3次のデルタシグマ変調を行うタイプのA/D変換器の例を示すものであり、図14に示すものと同様、減算部1、積分部2、量子化部3および逆量子化部4を用いて構成されている。なお、5は加算器である。

【0003】

【発明が解決しようとする課題】ところで、オーディオ装置等において複数チャンネルのアナログ信号のA/D変換が必要とされる場合がある。かかる場合、上述したようなA/D変換器をチャンネル数分だけ並設し、各A/D変換器により各チャンネルに対応したA/D変換を行っていた。このため、オーディオ装置の信号処理系の回路が大規模なものになってしまい、装置が高価になってしまうという問題があった。また、このような複数チャンネルのA/D変換を行う回路をLSI（大規模集積回路）によって構成する場合には、チップ面積が大きくなってしまいうため、LSI自体が高価になってしまうという問題があった。

【0004】この発明は上述した事情に鑑みてなされたものであり、回路規模を大きくすることなく複数チャンネルのアナログ信号を処理可能なアナログ／デジタル変換器を提供することを目的としている。

【0005】

【課題を解決するための手段】請求項1に係る発明は、複数チャンネルの入力アナログ信号を時分割制御によりデジタル信号に順次変換するアナログ／デジタル変換器を提供するものである。このアナログ／デジタル変換器は、図1に示す構成を有するものであり、各チャンネルに対応した積分処理を順次実行する積分手段11と、前記各チャンネルに対応した積分処理の結果を示す積分値信号を各チャンネル毎に記憶する複数の積分値記憶手段12、12、…と、前記各チャンネルに対応した積分処理の結果を量子化することにより各チャンネルに対応したデジタル信号を順次出力する量子化手段13と、前記デジタル信号を帰還アナログ信号に変換する逆量子化手段14と、前記各チャンネルに対応した積分処理が行われる毎に、前記積分手段の積分処理の結果を初期化し、当該チャンネルに対応した入力アナログ信号、積分値記憶手段に記憶された積分値信号および帰還アナログ信号を前記積分手段に供給して積分処理を行わせ、該積分処理によって得られる積分値信号を当該チャンネルに対応した積分値記憶手段に供給するスイッチ手段15とを具備するものである。

【0006】このアナログ／デジタル変換器によれば、時分割制御の下、積分手段11により各チャンネルに対応した積分処理が逐次実行される。ここで、複数チャンネルに対応した積分処理を順次実行する場合には、一のチャンネルに対応した積分処理が他のチャンネルに対応した積分処理によって中断されることとなる。しかしながら、本発明においては、あるチャンネルに対応した積分処理が中断される際にその積分処理の結果を示す積分値信号が積分値記憶手段12によって記憶され、当該チャンネルに対応した積分処理が再開される際にはその積分値信号が積分手段11に供給されるため、当該チャンネルに対応した積分処理は中断が生じるにも拘わらず正常に実行されるのである。

【0007】請求項2に係る発明は、請求項1に係る発明において、図2に示すように、各積分値記憶手段12、12、…に、積分値信号を記憶するためのキャパシタ12Cを少なくとも2個備えたものである。この構成において、スイッチ手段15は、各チャンネル毎に、当該チャンネルに対応した積分値信号を当該チャンネルに対応した積分値記憶手段の一のキャパシタ12Cから前記積分手段に供給する処理と、前記積分手段から得られる当該チャンネルに対応した積分値信号を当該チャンネルに対応した積分値記憶手段の他の一のキャパシタ12Cに供給する処理とを同時に実行する。

【0008】本発明によれば、少ないタイムスロット数で複数チャンネルに対応したA/D変換をすることができるという利点がある。

【0009】請求項3に係る発明は、請求項1に係る発明において、図3に示すように、各チャンネル毎に入力アナログ信号をサンプリングする入力スイッチドキャパシタ手段16、16、…を有し、各入力スイッチドキャパシタ手段によって同一タイミングでサンプリングされた入力アナログ信号を各チャンネル毎に前記積分手段に順次供給するようにしたものである。

【0010】本発明によれば、複数チャンネルの入力アナログ信号を同一タイミングでサンプリングしA/D変換をすることができるという利点がある。

【0011】

【発明の実施の形態】以下、本発明を更に理解しやすくするため、実施の形態について説明する。かかる実施の形態は、本発明の一態様を示すものであり、この発明を限定するものではなく、本発明の範囲で任意に変更可能である。

【0012】A. 実施形態の構成

図4はこの発明の一実施形態であるデルタシグマ型A/D変換器の構成を示すブロック図である。このA/D変換器は、2チャンネルの入力アナログ信号 $A_{in1}$ および $A_{in2}$ のA/D変換を並列実行するものである。これらの入力アナログ信号は平衡信号であり、第1チャンネルの入力アナログ信号 $A_{in1}$ は正相信号 $A_{in1P}$ およ

び逆相信号 $A_{in1N}$ によって構成されており、第2チャンネルの入力アナログ信号 $A_{in2}$ は正相信号 $A_{in2P}$ および逆相信号 $A_{in2N}$ によって構成されている。

【0013】クロック回路80は、このA/D変換器内の各部の動作タイミングを制御する手段であり、かかるタイミング制御に必要なクロック $a$ 、 $b$ 、 $d$ 、 $a_c$ 、 $b_d$ 、 $b_l$ 、 $d_l$ 、 $b_2$ および $d_2$ を出力する。これらのクロックの波形を図5のタイミングチャートに示す。

【0014】入力スイッチドキャパシタ部11～14は、各々入力アナログ信号のレベルに応じた電流を出力する手段である。上述した各入力アナログ信号のうち第1チャンネルの正相信号 $A_{in1P}$ は入力スイッチドキャパシタ部11へ、第2チャンネルの正相信号 $A_{in2P}$ は入力スイッチドキャパシタ部12へ、第1チャンネルの逆相信号 $A_{in1N}$ は入力スイッチドキャパシタ部13へ、第2チャンネルの逆相信号 $A_{in2N}$ は入力スイッチドキャパシタ部14へ各々供給される。また、入力スイッチドキャパシタ部11および12から出力される各電流は共通の信号線LP（以下、正相入力線LPという。）に順次供給され、一方、入力スイッチドキャパシタ部13および14から出力される各電流も共通の信号線LN（以下、逆相入力線LNという。）に順次供給される。

【0015】各入力スイッチドキャパシタ部の構成について説明すると、まず、入力スイッチドキャパシタ部11は、キャパシタC1と4個のアナログスイッチS11～S114を有している。

【0016】ここで、アナログスイッチS111およびS113は、クロック $a$ により導通状態とされる。これらのアナログスイッチが導通状態となることにより、アナログスイッチS111→キャパシタC1→アナログスイッチS113→基準電源Vrefという信号経路が形成され、この信号経路を介することにより信号 $A_{in1P}$ のレベルに応じた電荷がキャパシタC1に保持される。

【0017】また、アナログスイッチS112およびS114は、クロック $b$ が出力されることにより導通状態とされる。これらのアナログスイッチが導通状態とされることにより、基準電源Vref→アナログスイッチS112→キャパシタC1→アナログスイッチS114→正相入力線LPという信号経路が形成され、この信号経路を介することにより、キャパシタC1に保持された電荷が正相入力線LPに供給される。

【0018】クロック $a$ および $b$ は、図5に示すように、各々一定時間間隔で交互に出力される。このため、アナログ信号 $A_{in1P}$ のレベルに応じた電荷がキャパシタC1に保持される動作とこの電荷が正相入力線LPに供給される動作が一定時間間隔で繰り返され、これによりアナログ信号 $A_{in1P}$ のレベルに応じた電流が正相入力線LPに出力されることとなる。

【0019】他の入力サンプルホールド回路12～14

5

も、入力サンプルホールド回路11と同様な構成であり、入力アナログ信号のレベルに応じた電荷を保持するキャパシタC11、C5およびC15を各々有している。また、各入力サンプルホールド回路12～14は、入力アナログ信号をキャパシタに印加させる信号経路およびキャパシタに保持された電荷を正相入力線または逆相入力線に出力させる信号経路を形成するための4個のアナログスイッチを各々有している。ただし、入力サンプルホールド回路12および14における後者の信号経路を形成するための2個のアナログスイッチは、クロックbではなくクロックdによって導通状態とされるようになっている。

【0020】積分部40は、差動増幅器41と、積分用キャパシタC4およびC8と、初期化用アナログスイッチS401およびS402とにより構成されている。ここで、差動増幅器41の正転入力端IPは正相入力線LPに接続されており、反転入力端INは逆相入力線LNに接続されている。積分用キャパシタC4およびC8は、差動増幅器41の正転入力端IPと反転出力端ONとの間および反転入力端INと正転出力端OPとの間に各々介挿されている。また、差動増幅器41の反転出力端ONおよび正転出力端OPは各々信号線MPおよびMN（以下、正相出力線MPおよび逆相出力線MNという。）に接続されている。

【0021】以上の構成により、差動増幅器41の正転入力端IPおよび反転入力端INの電位を基準電源Vrefのレベルに維持した状態で両入力端から入力される信号の積分が行われ、正相入力線LPを介して供給される全電荷が積分用キャパシタC4に蓄積され、逆相入力線LNを介して供給される全電荷が積分用キャパシタC8に蓄積される。この結果、積分値に相当する電圧が差動増幅器41の反転出力端ONおよび正転出力端OP間に出力される。この積分値に相当する出力電圧は、正相出力線MPおよび逆相出力線MNにより、正相成分に相当するものと逆相成分に相当するものに分離されて各部に供給される。

【0022】また、初期化用アナログスイッチS401およびS402は積分用キャパシタC4およびC8に対し各々並列接続されている。これらの初期化用アナログスイッチS401およびS402は、クロックacによって導通状態とされるものであり、積分用キャパシタC4およびC8の両端を短絡し、積分値を0とする手段として使用される。

【0023】この積分部40は、時分割制御の下、第1チャンネルの入力アナログ信号Ain1（=Ain1P, Ain1N）を対象とした積分処理と第2チャンネルの入力アナログ信号Ain2（=Ain2P, Ain2N）を対象とした積分処理とを順次交互に実行するものである。このような積分処理の時分割制御を可能にするため、本実施形態においては、以下の手段を講じている。

6

【0024】a. 第1チャンネル（第2チャンネル）に対応した積分処理を中断する場合には、積分部40の積分値を0に初期化し、第2チャンネル（第1チャンネル）に対応した積分処理に積分部40を引き渡す。上述した初期化アナログスイッチS401およびS402は、この役割を果たす手段である。

【0025】b. 上記第1チャンネル（第2チャンネル）に対応した積分処理の中断の際、その中断時点までに得られた積分値を記憶しておく。そして、第1チャンネル（第2チャンネル）に対応した積分処理を再開する際には、その積分値を積分部40に与え、中断時点の状態から積分処理を再開する。これを可能にするための手段が、図4における第1積分値記憶部21～24および第2積分値記憶部31～34である。

【0026】これらの積分値記憶部は、積分部40が行う各チャンネルに対応した積分処理毎に積分値を表す信号を記憶する手段であり、第1積分値記憶部21および第2積分値記憶部31は第1チャンネルの積分値に対応した正相の信号を、第1積分値記憶部22および第2積分値記憶部32は第2チャンネルの積分値に対応した正相の信号を、第1積分値記憶部23および第2積分値記憶部33は第1チャンネルの積分値に対応した逆相の信号を、第1積分値記憶部24および第2積分値記憶部34は第2チャンネルの積分値に対応した逆相の信号を各々記憶する。

【0027】各積分値記憶部の構成について説明すると、まず、第1積分値記憶部21は、上述した入力スイッチドキャパシタ部と同様、キャパシタC2と4個のアナログスイッチS211～S214によって構成されている。ここで、アナログスイッチS211およびS213は、クロックb2が与えられることにより導通状態とされる。これらのアナログスイッチが導通状態となることにより、正相出力線MP→アナログスイッチS211→キャパシタC2→アナログスイッチS213→基準電源Vrefという信号経路が形成される。そして、この信号経路を介することにより、積分値を表す信号の正相成分に相当する電荷がキャパシタC2に保持されることとなる。また、アナログスイッチS212およびS214は、クロックb1により導通状態とされる。これらのアナログスイッチが導通状態とされることにより、基準電源Vref→アナログスイッチS212→キャパシタC2→アナログスイッチS214→正相入力線LPという信号経路が形成される。この信号経路を介することにより、キャパシタC2に保持された電荷が極性の反転された状態で正相入力線LPに供給される。このように、クロックb2が出力されることによって積分値のサンプリングが行われ、クロックb1が出力されることにより当該積分値と等価な電荷が極性の反転した状態で正相入力線LPに供給されるのである。

【0028】第2積分値記憶部31も、上記第1積分値

記憶部21と全く同様な構成であり、キャパシタC3と4個のアナログスイッチS311~S314を有している。ただし、第2積分値記憶部31において積分値の正相成分に相当する電圧をキャパシタC3に印加するための信号経路は、クロックb1によってアナログスイッチS311およびS313が導通状態とされることによって形成される。また、キャパシタC3に保持された電荷を正相入力線LPに供給するための信号経路は、クロックb2によってアナログスイッチS312およびS314が導通状態とされることによって形成される。

【0029】このように第1積分値記憶部21と第2積分値記憶部31とではクロックb1およびb2の果す役割が入れ替わっている。このため、クロックb2が出力されることにより、正相出力線MP上の電圧が第1積分値記憶部21のキャパシタC2に印加されると同時に第2積分値31のキャパシタC3に保持された電荷が正相入力線LPへ供給される。また、クロックb1が出力されることにより、正相出力線MP上の電圧が第2積分値記憶部31のキャパシタC3に印加されると同時に第1積分値21のキャパシタC2に保持された電荷が正相入力線LPへ供給されることとなる。

【0030】他の積分値記憶部も、これらの第1積分値記憶部21および第2積分値記憶部31と全く同様であり、1個のキャパシタと4個のアナログスイッチとにより構成されている。各キャパシタの名称および各アナログスイッチの導通制御を行うクロックの名称は図示の通りである。

【0031】1ビットADC部50は、積分部40から得られる積分値を量子化するための手段であり、2個のキャパシタC18およびC19と、6個のアナログスイッチS501~S506と、比較器51により構成されている。

【0032】ここで、アナログスイッチS501、S503、S504およびS506は、クロックbdにより導通状態とされる。これらのアナログスイッチが導通状態となることにより、正相出力線MP→アナログスイッチS501→キャパシタC18→アナログスイッチS503→基準電源Vrefという信号経路と、逆相出力線MN→アナログスイッチS504→キャパシタC19→アナログスイッチS506→基準電源Vrefという信号経路が形成される。そして、前者の信号経路を介すことにより積分値の正相成分に相当する電圧がキャパシタC18に印加され、後者の信号経路を介すことにより積分値の逆相成分に相当する電圧がキャパシタC19に印加されることとなる。そして、クロックbdが立ち下がり、アナログスイッチS501、S503、S504およびS506が開放状態となると、キャパシタC18およびC19は、その時点における印加電圧を保持する。

【0033】また、アナログスイッチS502およびS505は、クロックacがハイレベルとなることにより

導通状態とされる。これらのアナログスイッチが導通状態とされる結果、基準電源Vref→アナログスイッチS502→キャパシタC18→比較器51の反転入力端という信号経路と、基準電源Vref→アナログスイッチS504→キャパシタC19→比較器51の正転入力端という信号経路とが形成される。そして、これらの信号経路を介すことにより、キャパシタC18およびC19によって保持された各電圧が、各々極性が反転され、比較器51の反転入力端および正転入力端に各々供給される。

【0034】比較器51は、通常の比較器とラッチとを組合せて構成されたものであり、クロックacが与えられる毎に、その時点における反転入力端および正転入力端の各入力電圧を比較し、その結果を1ビットのデジタル信号OUTとして出力する。このデジタル信号OUTは、帰還クロック生成部60および後続のデジタルフィルタ（図示略）等に供給される。

【0035】帰還クロック生成部60は、クロックacに同期して比較器50の出力デジタル信号を取り込み、このデジタル信号が“0”である場合にはクロックbdと同期したタイミングでクロックHbdを出力し、“1”である場合にはクロックbdと同期したタイミングでクロックLbdを出力する。

【0036】1ビットDAC部70は、上記デジタル信号OUTに対応した帰還アナログ信号を生成するための手段であり、キャパシタC9およびC10と、アナログスイッチS701~S710によって構成されている。ここで、アナログスイッチS702、S703、S704およびS706は、クロックacにより導通状態とされる。これらのアナログスイッチが導通状態とされる結果、キャパシタC9の両端が基準電源Vrefに接続され、キャパシタC10は基準電源Vrefと接地線との間に接続される。従って、クロックacが1回発生されることにより、キャパシタC9には0Vが、キャパシタC10には電圧Vrefが各々保持されることとなる。また、アナログスイッチS701およびS705は、クロックbdにより導通状態とされる。この結果、キャパシタC9の一端が接地され、同キャパシタC9の他端から0Vが出力される。また、キャパシタC10の一端が基準電源Vrefに接続されるため、同キャパシタC9の他端から電圧2Vrefが出力される。

【0037】アナログスイッチS707~S710は、このようにして出力されたキャパシタC9およびC10の各電圧をアナログ帰還信号として正相入力線LPおよび逆相入力線LNに供給する手段であり、各々帰還クロック生成部60が発生するクロックHbdまたはLbdによって導通状態とされる。まず、アナログスイッチS707およびS710は、クロックHbdによって導通状態とされる。これらのアナログスイッチが導通状態とされた場合、キャパシタC9の出力電圧（=0V）が正

相入力線LPへ、キャパシタC10の出力電圧(=2Vref)が逆相入力線LNへ各々供給される。また、アナログスイッチS708およびS709は、クロックLbdによって導通状態とされる。これらのアナログスイッチが導通状態とされた場合、キャパシタC9の出力電圧(=0V)が逆相入力線LNへ、キャパシタC10の出力電圧(=2Vref)が正相入力線LPへ各々供給される。

#### 【0038】B. 実施形態の動作

次に図5のタイミングチャートに従って本実施形態の動作を説明する。本実施形態においては、一定のサンプリング周期TS毎に2チャンネル分のアナログ信号をサンプリングし、各々デジタル信号に変換する。このA/D変換のための一連の処理は、各サンプリング周期を4分割した各タイムスロット単位で逐次進められる。各タイムスロットにおいて行われる処理の内容に着目した場合、連続した8個のタイムスロット、すなわち、サンプリング周期に換算して2周期分の時間2TSを一単位として同一の処理が繰り返される。そこで、以下では、連続した2個のサンプリング周期TS<sub>i</sub>およびTS<sub>i+1</sub>からなる期間を想定し、この期間を8分割した各タイムスロットSL1~SL8において行われる本実施形態の動作を順次説明する。

#### 【0039】(1) タイムスロットSL1

サンプリング周期TS<sub>i</sub>のタイムスロットSL1においては、クロックaおよびacのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図6に示すものとなり、各部では次の動作が行われる。

【0040】①入力スイッチドキャパシタ部11~14においては、入力アナログ信号Ain1P、Ain2P、Ain1NおよびAin2Nのサンプリングが行われ、各アナログ信号のレベルに応じた電荷がキャパシタC1、C11、C5およびC15に各々保持される。

【0041】②積分部40においてはキャパシタC4およびC8の各々の両端が初期化用アナログスイッチによって短絡され、積分部40の積分値は0となる。

【0042】③1ビットADC部50においては、キャパシタC18およびC19の各々の保持電圧が比較器51の反転入力端および正転入力端に各々入力され、各入力電圧の比較が行われる。これらの各キャパシタの保持電圧は、サンプリング周期TS<sub>i-1</sub>において積分部40から与えられたものであり、第2チャンネルに対応した積分値に相当するものである。そして、クロックacが出力されることにより、上記比較の結果を表すデジタル信号OUTが出力される。

【0043】ここで、サンプリング周期TS<sub>i-1</sub>において積分部40から得られた第2チャンネルの積分値が正であり、キャパシタC18に正の電圧、キャパシタC19に負の電圧が保持されていた場合には、比較器51の反

転入力端に対する入力電圧が正転入力端に対する入力電圧よりも低くなる。この結果、比較器51からデジタル信号OUTとして“1”(ハイレベル)が出力される。一方、1サンプリング周期前に積分部40から得られた第1チャンネルに対応した積分値が負である場合には、比較器51の反転入力端に対する入力電圧が正転入力端に対する入力電圧よりも高くなるため、デジタル信号OUTとして“0”(ローレベル)が出力される。このようにして比較器51から出力されたデジタル信号は、2タイムスロットだけ後のタイムスロットSL3において、クロックacにより帰還クロック生成部60内に取り込まれることとなる。

【0044】④上記第2チャンネルのデジタル信号が出力する前は第1チャンネルのデジタル信号が出力されるが、この第1チャンネルのデジタル信号は、タイムスロットSL1においてクロックacにより帰還クロック生成部60内に取り込まれる。

【0045】⑤1ビットDAC部70においては、キャパシタC9により電圧0Vが保持され、キャパシタC10により電圧Vrefが保持される。

#### 【0046】(2) タイムスロットSL2

このタイムスロットSL2においては、クロックb、bdおよびb1のみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図7に示すものとなり、各部では次の動作が行われる。

【0047】①第1チャンネルに対応した入力スイッチドキャパシタ部11および13においては、キャパシタC1およびC5に保持された電荷が各々極性が反転された状態で正相入力線LPおよび逆相入力線LNに各々供給される。

【0048】②帰還クロック生成部60においては、クロックbdに同期したタイミングでクロックHbdまたはLbdのいずれかが出力される。いずれのクロックが出力されるかはタイムスロットSL1において帰還クロック生成部60内に取り込まれた第1チャンネルに対応したデジタル信号OUTの値により決定されるものであり、OUT=“0”である場合にはクロックHbdが、OUT=“1”である場合にはクロックLbdが出力される。

【0049】③1ビットDAC部70においては、キャパシタC9からアナログスイッチS707およびS709に対して電圧0Vが出力され、キャパシタC10からアナログスイッチS708およびS710に対して電圧2Vrefが出力される。そして、サンプリング周期TS<sub>i-1</sub>において第1チャンネルのデジタル信号OUTとして“0”が出力された場合には、このタイムスロットSL2においてクロックHbdが出力される。従って、電圧0VがアナログスイッチS707を介して正相入力線LPに与えられ、電圧2VrefがアナログスイッチS



11

710を介して逆相入力線LNに与えられる。一方、サンプリング周期 $TS_{i-1}$ において第1チャンネルのデジタル信号として“1”が出力された場合にはクロックLbdが出力される。従って、アナログスイッチS708およびS709が導通状態となり、正相入力線LPに対しては電圧 $2V_{ref}$ が、逆相入力線LNに対しては電圧0Vが与えられることとなる。

【0050】④第1積分値記憶部21および23においては、キャパシタC2およびC6に保持された電荷が正相入力線LPおよび逆相入力線LNに供給される。これらの各キャパシタの保持電荷は、サンプリング周期 $TS_{i-1}$ において積分部40から与えられたものであり、第1チャンネルに対応した積分値に相当するものである。

【0051】⑤積分部40においては、初期化用アナログスイッチS401およびS402が開放状態とされるため、正相入力線LPおよび逆相入力線LNを介して供給される上記①、②および④の各信号の積分が行われる。この結果、サンプリング周期 $TS_i$ における第1チャンネルに対応した積分値とタイムスロットSL1において取り込んだ第1チャンネルの入力アナログ信号とを加算し、この加算結果から帰還アナログ信号を減算したものが今回のサンプリング周期 $TS_i$ における第1チャンネルに対応した積分値として得られ、この積分値に相当する電圧が差動増幅器41から正相出力線MPおよび逆相出力線MNに出力される。

【0052】⑥第2積分値記憶部31および33においては、以上のようにして得られた第1チャンネルに対応した積分値に相当する電圧を保持する動作が行われる。すなわち、正相出力線MPからキャパシタC3を介して基準電源 $V_{ref}$ に至る信号経路が形成されるため、この信号経路を介すことにより積分値の正相成分に相当する電荷がキャパシタC3に保持される。また、逆相出力線MNからキャパシタC7を介して基準電源 $V_{ref}$ に至る信号経路が形成されるため、この信号経路を介すことにより積分値の逆相成分に相当する電荷がキャパシタC7に保持されることとなる。

【0053】⑦1ビットADC部50においては、正相出力線MPからキャパシタC18を介して基準電源 $V_{ref}$ に至る信号経路と、逆相出力線MNからキャパシタC19を介して基準電源 $V_{ref}$ に至る信号経路が形成される。この結果、積分部40によって得られる積分値の正相成分に相当する電圧がキャパシタC18に保持され、逆相成分に相当する電圧がキャパシタC19に保持される。

【0054】(3) タイムスロットSL3  
このタイムスロットSL3においては、クロックacのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図8に示すものとなり、各部では次の動作が行われる。

12

【0055】⑧1ビットADC部50においては、上述したタイムスロットSL1と同様、キャパシタC18およびC19に保持された各電圧を比較器51の反転入力端および正転入力端に供給する動作が行われる。この場合、比較器51に対する各入力電圧は、上記タイムスロットSL2において各キャパシタに保持された第1チャンネルの積分値に相当する各電圧の極性を反転させたものとなる。従って、タイムスロットSL2において得られた第1チャンネルの積分値が正である場合には、比較器51から1ビットのデジタル信号“1”(ハイレベル)が出力され、負である場合にはデジタル信号“0”(ローレベル)が出力される。このようにして比較器51から出力された第1チャンネルのデジタル信号OUTは、タイムスロットSL5において発生されるクロックacにより帰還クロック生成部60に取り込まれる。

【0056】⑨上記第1チャンネルのデジタル信号が出力される前に出力されていた第2チャンネルのデジタル信号は、クロックacによって帰還クロック生成部60内に取り込まれる。

【0057】⑩積分部40においては初期化用アナログスイッチS401およびS402が導通状態とされるため、積分値が0となる。

【0058】⑪1ビットDAC部70においては、キャパシタC9の両端の電圧が0Vとされ、キャパシタC10の両端の電圧が $V_{ref}$ に設定される。

⑫第2積分値記憶部31および33においては、すべてのアナログスイッチが開放状態とされる。このため、キャパシタC3およびC7は、タイムスロットSL2において与えられた電荷をそのまま維持することとなる。

【0059】(4) タイムスロットSL4

このタイムスロットSL4においては、クロックd、bdおよびd1のみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図9に示すものとなり、各部では次の動作が行われる。

【0060】⑬第2チャンネルに対応した入力スイッチドキャパシタ部12および14においては、キャパシタC11およびC15に保持された各電荷が各々極性が反転された状態で正相入力線LPおよび逆相入力線LNに各々供給される。

【0061】⑭帰還クロック生成部60においては、クロックHbdまたはLbdのいずれかがクロックbdに同期したタイミングで出力される。すなわち、直前のタイムスロットSL3において帰還クロック生成部60内に取り込まれた第2チャンネルに対応したデジタル信号が“0”である場合にはクロックHbdが出力され、“1”である場合にはクロックLbdが出力される。

【0062】⑮1ビットDAC部70においては、上記クロックHbdまたはLbdに基づき、第2チャンネルのデジタル信号に対応した帰還アナログ信号が発生され、



正相入力線L Pおよび逆相入力線L Nに与えられる。なお、この動作の詳細は既にタイムスロットS L 2において説明した内容と同じであるので説明を省略する。

【0063】④第1積分値記憶部22および24においては、キャパシタC 12およびC 16に保持された各電荷が各々極性が反転された状態で正相入力線L Pおよび逆相入力線L Nに供給される。これらの各キャパシタに保持された電荷は、サンプリング周期 $T_{S_{i-1}}$ における第2チャンネルに対応した積分値に相当するものである。

【0064】⑤積分部40においては、正相入力線L Pおよび逆相入力線L Nを介して供給される各信号の積分が行われる。この結果、サンプリング周期 $T_{S_{i-1}}$ における第2チャンネルに対応した積分値と、タイムスロットS L 1において取り込んだ第2チャンネルの入力アナログ信号とを加算し、この加算結果から帰還アナログ信号を減算したものがサンプリング周期 $T_{S_i}$ における第2チャンネルに対応した積分値として得られ、この積分値に相当する電圧が差動増幅器41から正相出力線M Pおよび逆相出力線M Nに出力される。

【0065】⑥第2積分値記憶部32および34においては、以上のようにして得られた第2チャンネルに対応した積分値に相当する電荷をキャパシタC 13およびC 17に保持する動作が行われる。

【0066】⑦積分部40から1ビットADC部50に対し、第2チャンネルの積分値の正相成分に相当する電圧および逆相成分に相当する電圧は供給される。これらの各電圧は1ビットADC部50内のキャパシタC 18およびC 19に保持される。

【0067】(5) タイムスロットS L 5

サンプリング周期 $T_{S_{i-1}}$ のタイムスロットS L 5においては、上述したタイムスロットS L 1と同様、クロックaおよびa cのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図10に示すものとなり、各部では次の動作が行われる。

【0068】①入力スイッチドキャパシタ部11~14においては、再び入力アナログ信号A in 1 P、A in 2 P、A in 1 NおよびA in 2 Nのサンプリングが行われ、各アナログ信号のレベルに応じた電荷がキャパシタC 1、C 11、C 5およびC 15に各々保持される。

【0069】②積分部40においてはキャパシタC 4およびC 8の各々の両端が初期化用アナログスイッチによって短絡され、積分部40の積分値は0となる。

【0070】③1ビットADC部50においては、キャパシタC 18およびC 19に保持された各電圧が各々極性が反転された状態で比較器51の反転入力端および正転入力端に各々入力される。これらの各キャパシタに保持された電圧は、サンプリング周期 $T_{S_i}$ のタイムスロットS L 4において積分部40から得られたものであり、第2チャンネルに対応した積分値に相当する。そし

て、クロックa cが出力されることにより、この比較の結果を表す第2チャンネルのデジタル信号O U Tが比較器51から出力される。

【0071】④上記第2チャンネルのデジタル信号が出力される前に出力されていた第1チャンネルのデジタル信号は、クロックa cにより帰還クロック生成部60内に取り込まれる。

【0072】⑤1ビットDAC部70においては、キャパシタC 9により電圧0 Vが保持され、キャパシタC 10により電圧V r e fが保持される。

【0073】(6) タイムスロットS L 6

このタイムスロットS L 6においては、クロックb、b dおよびb 2のみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図11に示すものとなり、各部では次の動作が行われる。

【0074】①第1チャンネルに対応した入力スイッチドキャパシタ部11および13においては、キャパシタC 1およびC 5に保持された各電荷が各々極性が反転された状態で出力され、正相入力線L Pおよび逆相入力線L Nに各々供給される。

【0075】②帰還クロック生成部60においては、クロックb dに同期したタイミングでクロックH b dまたはL b dのいずれかが出力される。いずれのクロックが出力されるかはタイムスロットS L 5において取り込まれた第1チャンネルに対応したデジタル信号O U Tの値により決定されるものであり、O U T = "0" である場合にはクロックH b dが、O U T = "1" である場合にはクロックL b dが出力される。

【0076】③1ビットDAC部70においては、上記クロックH b dまたはL b dに基づいて、サンプリング周期 $T_{S_i}$ における第1チャンネルのデジタル信号に対応した帰還アナログ信号が発生され、正相入力線L Pおよび逆相入力線L Nに与えられる。

【0077】④第2積分値記憶部31および33においては、キャパシタC 3およびC 7に保持された電荷が各々極性が反転されて正相入力線L Pおよび逆相入力線L Nに供給される。これらの各キャパシタに保持された電荷は、サンプリング周期 $T_{S_i}$ において積分部40から与えられたものであり、サンプリング周期 $T_{S_i}$ における第1チャンネルに対応した積分値に相当するものである。

【0078】⑤積分部40においては、初期化用アナログスイッチS 401およびS 402が開放状態とされるため、正相入力線L Pおよび逆相入力線L Nを介して供給される上記各信号の積分が行われる。この結果、サンプリング周期 $T_{S_i}$ における第1チャンネルに対応した積分値とタイムスロットS L 5において取り込んだ第1チャンネルの入力アナログ信号とを加算し、この加算結果から帰還アナログ信号を減算したものが今回のサンプリ

グ周期 $T_{S_{i+1}}$ における第1チャンネルに対応した積分値として得られ、この積分値に相当する電圧が差動増幅器41から正相出力線MNおよび逆相出力線MNに出力される。

【0079】⑥第1積分値記憶部21および23においては、以上のようにして得られた第1チャンネルに対応した積分値に相当する電圧を保持する動作が行われる。

【0080】⑦1ビットADC部50においては、積分部40によって得られる第1チャンネルの積分値の正相成分に相当する電圧がキャパシタC18に保持され、逆相成分に相当する電圧がキャパシタC19に保持される。

【0081】以上のようにタイムスロットSL6における処理内容は、サンプリング周期 $T_{S_i}$ のタイムスロットSL2での処理内容と実質的に同じであり、第1積分値記憶部21および23と第2積分値記憶部31および33の果す役割が入れ替わっている点のみが相違している。

【0082】(7)タイムスロットSL7

このタイムスロットSL7においては、上述したタイムスロットSL3と同様、クロックacのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図12に示すものとなり、各部では次の動作が行われる。

【0083】①1ビットADC部50においては、キャパシタC18およびC19に保持された各電圧が各々極性が反転されて比較器51の反転入力端および正転入力端に入力され、これらの各入力電圧が比較される。これらの各キャパシタに保持された各電圧は、タイムスロットSL6において積分部40から与えられたものであり、第1チャンネルの積分値に相当する。そして、クロックacが与えられることにより、上記比較の結果を表す第1チャンネルのデジタル信号が出力される。

【0084】②上記第1チャンネルのデジタル信号が出力される前に出力されていた第2チャンネルのデジタル信号は、クロックacによって帰還クロック生成部60内に取り込まれる。

【0085】③積分部40においては初期化用アナログスイッチS401およびS402が導通状態とされるため、積分値が0となる。

【0086】④1ビットDAC部70においては、キャパシタC9の両端の電圧が0Vとされ、キャパシタC10の両端の電圧がVrefに設定される。

【0087】⑤第1積分値記憶部21および23においては、すべてのアナログスイッチが開放状態とされる。このため、キャパシタC2およびC6は、タイムスロットSL6において与えられた電荷をそのまま維持することとなる。

【0088】(8)タイムスロットSL8

このタイムスロットSL8においては、クロックd、b dおよびd2のみが出力され、他のクロックは出力され

ない。このため、図13に示すように、クロックd、b dまたはd2が与えられたアナログスイッチが導通状態とされ、他のアナログスイッチは開放状態とされる。この結果、各部では次の動作が行われる。

【0089】①第2チャンネルに対応した入力スイッチドキャパシタ部12および14においては、キャパシタC11およびC15に保持された各電荷が各々極性が反転された状態で出力され、正相入力線L Pおよび逆相入力線L Nに各々供給される。

【0090】②帰還クロック生成部60においては、クロックH b dまたはL b dのいずれかがクロックb dに同期したタイミングで出力される。すなわち、直前のタイムスロットSL7において帰還クロック生成部60内に取り込まれた第2チャンネルに対応したデジタル信号が“0”である場合にはクロックH b dが出力され、“1”である場合にはクロックL b dが出力される。

【0091】③1ビットDAC部70においては、第2チャンネルのデジタル信号に対応した帰還アナログ信号が発生され、正相入力線L Pおよび逆相入力線L Nに与えられる。

【0092】④第2積分値記憶部32および34においては、キャパシタC13およびC17に保持された各電荷が各々極性が反転された状態で正相入力線L Pおよび逆相入力線L Nに供給される。これらの各キャパシタに保持された電荷は、サンプリング周期 $T_{S_i}$ における第2チャンネルに対応した積分値に相当するものである。

【0093】⑤積分部40においては、初期化用アナログスイッチS401およびS402が開放状態とされるため、正相入力線L Pおよび逆相入力線L Nを介して供給される各信号の積分が行われる。この結果、サンプリング周期 $T_{S_i}$ における第2チャンネルに対応した積分値と、タイムスロットSL5において取り込んだ第2チャンネルの入力アナログ信号とを加算し、この加算結果から帰還アナログ信号を減算したものがサンプリング周期 $T_{S_{i+1}}$ における第2チャンネルに対応した積分値として得られ、この積分値に相当する電圧が差動増幅器41から正相出力線MPおよび逆相出力線MNに出力される。

【0094】⑥第1積分値記憶部22および24においては、以上のようにして得られた第2チャンネルに対応した積分値に相当する電荷をキャパシタC12およびC16に保持する動作が行われる。

【0095】⑦積分部40から1ビットADC部50に対し、第2チャンネルの積分値の正相成分に相当する電圧および逆相成分に相当する電圧は供給される。これらの各電圧は1ビットADC部50内のキャパシタC18およびC19に保持される。サンプリング周期が切り換わり、再びタイムスロットSL1になると、この保持された電圧が比較器51に与えられ、第2チャンネルのデジタル信号が出力される訳である。

【0096】このように、タイムスロットSL8におけ

る処理内容は、実質的にタイムスロットSL4での処理内容と同じであり、第1積分値記憶部22および24と第2積分値記憶部32および34の果す役割が入れ替わっているのみである。

【0097】以後、同様にタイムスロットSL1～SL8に対応した各処理が繰り返し実行され、第1チャンネルおよび第2チャンネルの各入力アナログ信号のA/D変換が進められる。

#### 【0098】C. 他の実施形態

本発明の実施形態には、以上説明したものその他、種々のものが考えられる。例えば次の通りである。

【0099】(1) 上記実施形態ではアナログ信号を平衡信号とし、差動増幅器によって構成された積分部によりアナログ信号の積分を行うようにしたが、不平衡なアナログ信号を差動型でない通常の積分器で積分するようにしてもよい。

【0100】(2) 上記実施形態では第1チャンネルおよび第2チャンネルのアナログ信号を入力スイッチドキャパシタ部で同時にサンプリングするようにしたが、このサンプリングタイミングをチャンネル間でずらしてもよい。

【0101】(3) 積分部が各々定められたタイムスロットで第1チャンネルに対応した積分処理および第2チャンネルに対応した積分処理をするように構成されていればよく、この動作が保証されている限り、第1チャンネルおよび第2チャンネルのアナログ信号の入力形態は各種変更可能である。

【0102】(4) 各チャンネル毎に1個の積分値記憶部のみを設け、この積分値記憶部の保持電荷を使用して積分部による積分処理を終えた後、新たな積分値に相当する電荷を積分値記憶部に保持させるようにしてもよい。積分処理を行うタイムスロットとは別に積分値に相当する電荷を保持するためのタイムスロットを設けなければならないが、積分値記憶部の数を半減させることができるという利点がある。

【0103】(5) 上記実施形態では、2チャンネルのアナログ信号を取り扱う例を示したが、これより多数のチャンネルのアナログ信号を取り扱う場合にはチャンネル数に対応した入力スイッチドキャパシタ部および積分値記憶部を設け、タイムスロットも各チャンネルの処理に必要なだけ設ければよい。

【0104】(6) 上記実施形態では、外部から供給さ

れる2チャンネルのアナログ信号を取り扱う例を示したが、A/D変換器の内部で発生するアナログ信号を入力スイッチドキャパシタ部を介して入力するようにしてもよい。例えば積分部40によって正相出力線MPおよび逆相出力線MNに出力されたアナログ信号を入力スイッチドキャパシタ部を介して再入力するように構成し、入力アナログ信号の積分を2回行い、2次のデルタシグマ変調を行うようにしてもよい。3次以上のデルタシグマ変調を行う場合も同様である。

#### 【0105】

【発明の効果】以上説明したように、この発明によれば、時分割制御の下、複数チャンネルに対応した積分処理を1個の積分手段によって順次実行することができるので、小規模な回路構成で、複数チャンネルを処理可能なA/D変換器を実現することができるという効果がある。

#### 【図面の簡単な説明】

【図1】 請求項1に係る発明の構成を示す図である。

【図2】 請求項2に係る発明の構成を示す図である。

【図3】 請求項3に係る発明の構成を示す図である。

【図4】 この発明の一実施形態であるA/D変換器の構成を示すブロック図である。

【図5】 同実施形態の動作を示すタイミングチャートである。

【図6】 同実施例の動作状態を示す図である。

【図7】 同実施例の動作状態を示す図である。

【図8】 同実施例の動作状態を示す図である。

【図9】 同実施例の動作状態を示す図である。

【図10】 同実施例の動作状態を示す図である。

【図11】 同実施例の動作状態を示す図である。

【図12】 同実施例の動作状態を示す図である。

【図13】 同実施例の動作状態を示す図である。

【図14】 従来のデルタシグマ変調型A/D変換器の構成を示すブロック図である。

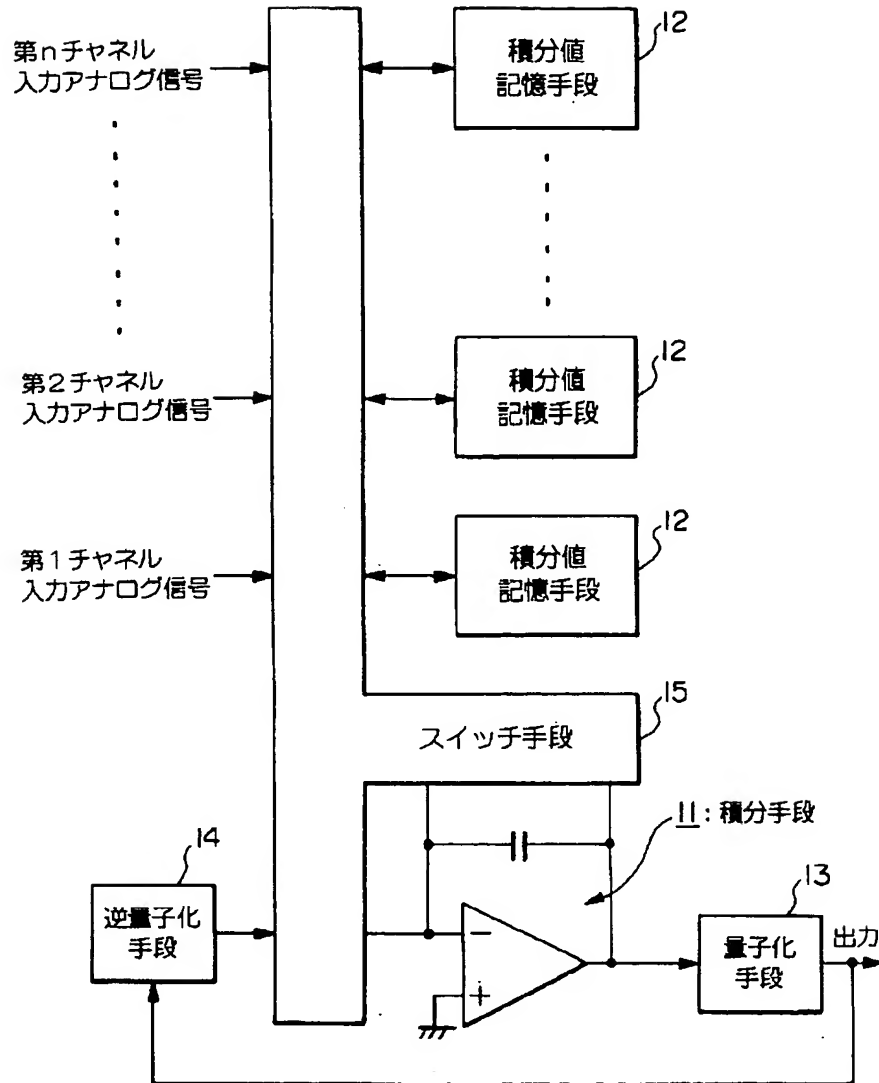
【図15】 従来のデルタシグマ変調型A/D変換器の構成を示すブロック図である。

【図16】 従来のデルタシグマ変調型A/D変換器の構成を示すブロック図である。

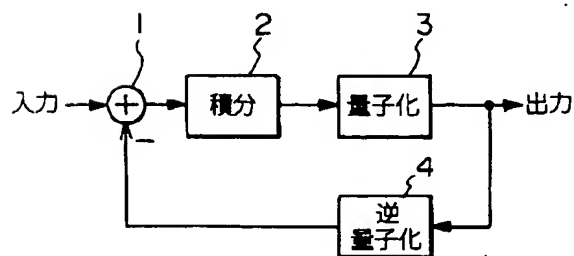
#### 【符号の説明】

11……積分手段、12、12、～……積分値記憶手段、13……量子化手段、14……逆量子化手段、15……スイッチ手段。

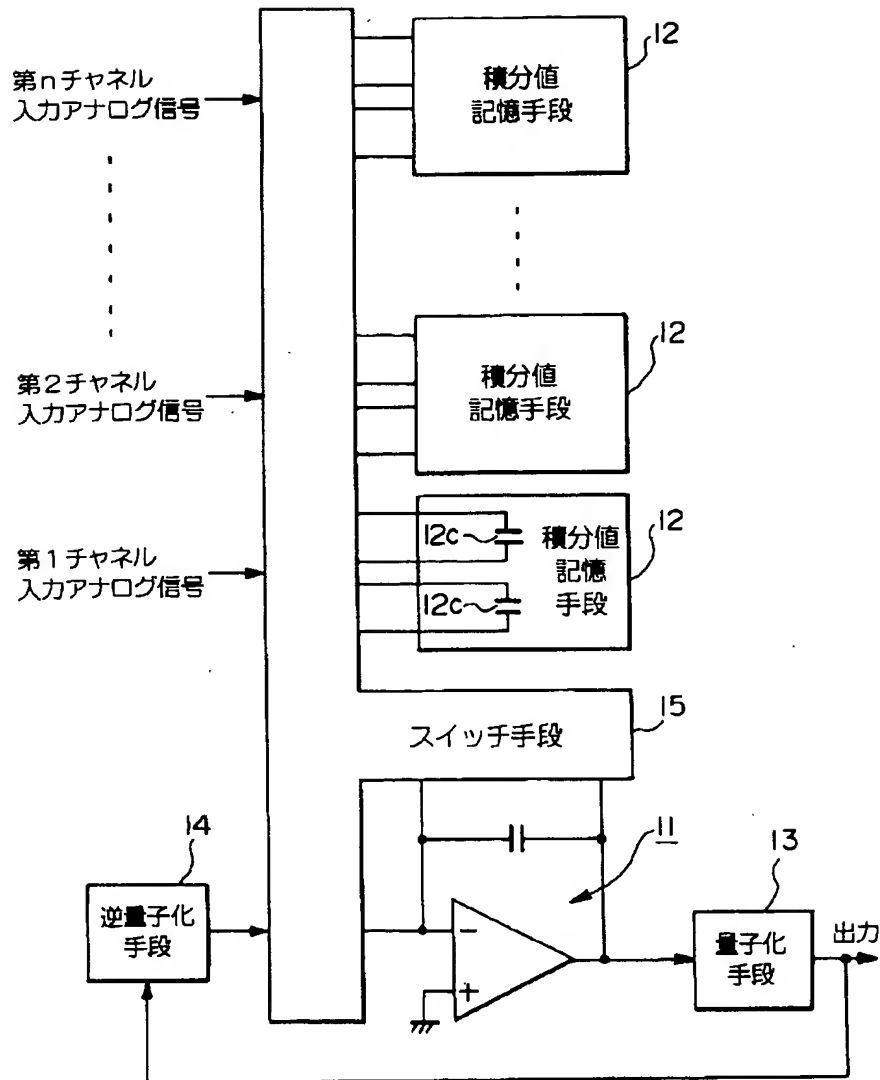
【図1】



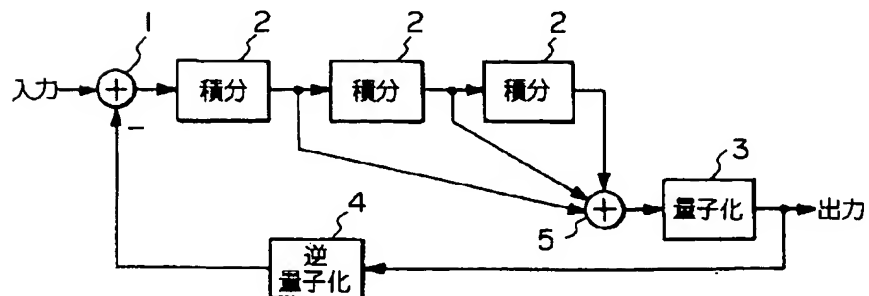
【図14】



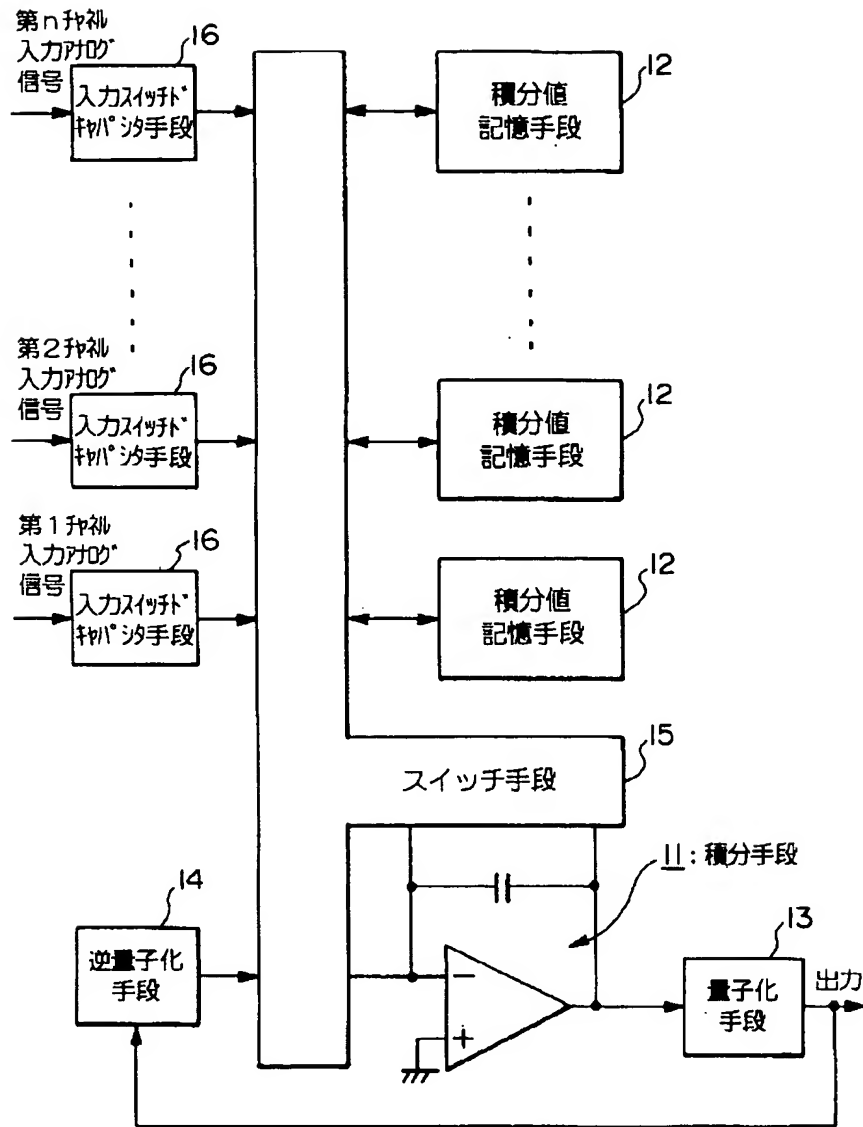
【図2】



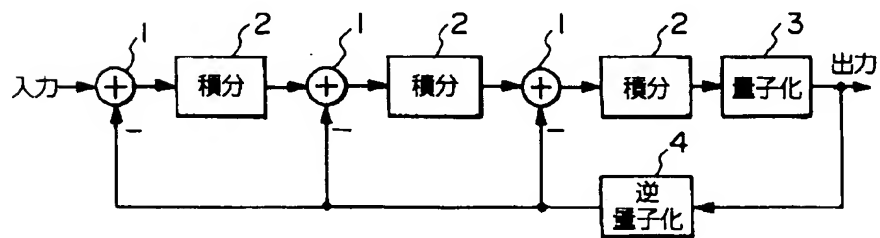
【図15】



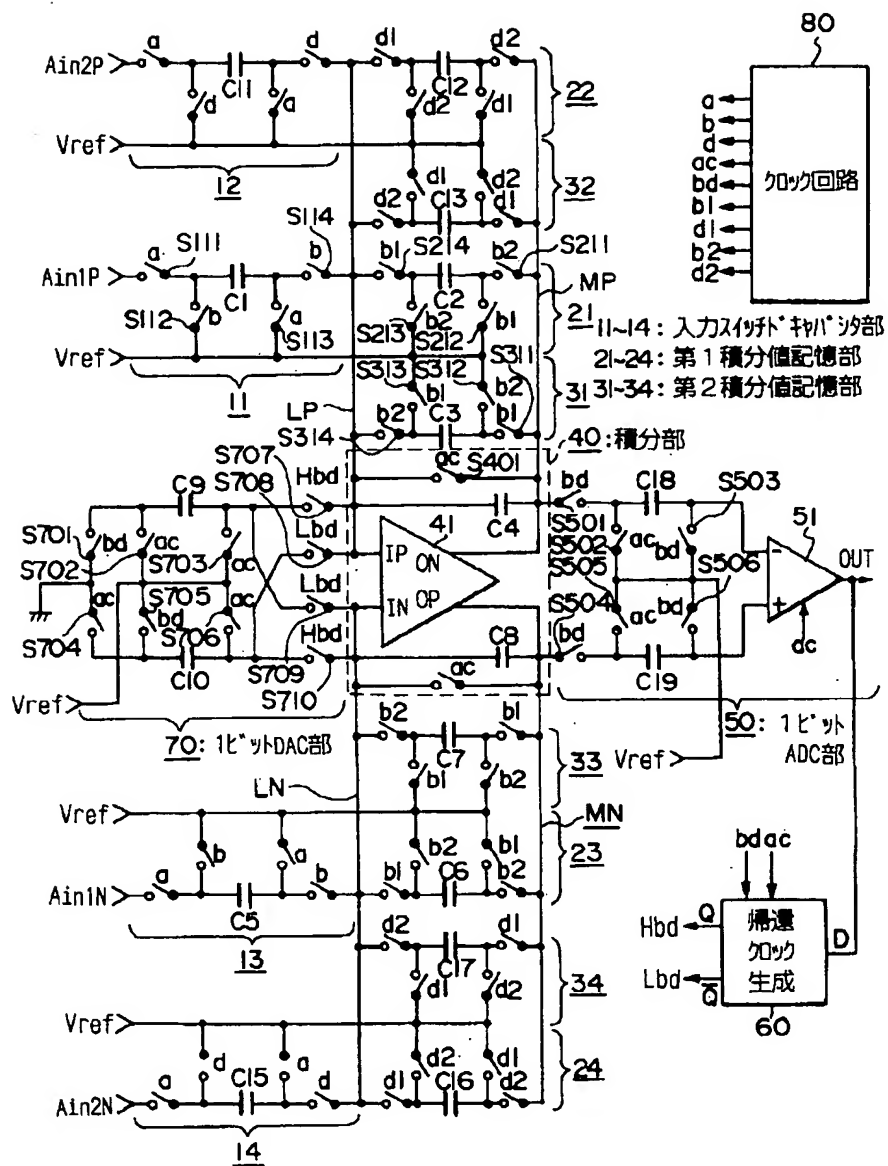
【図3】



【図16】

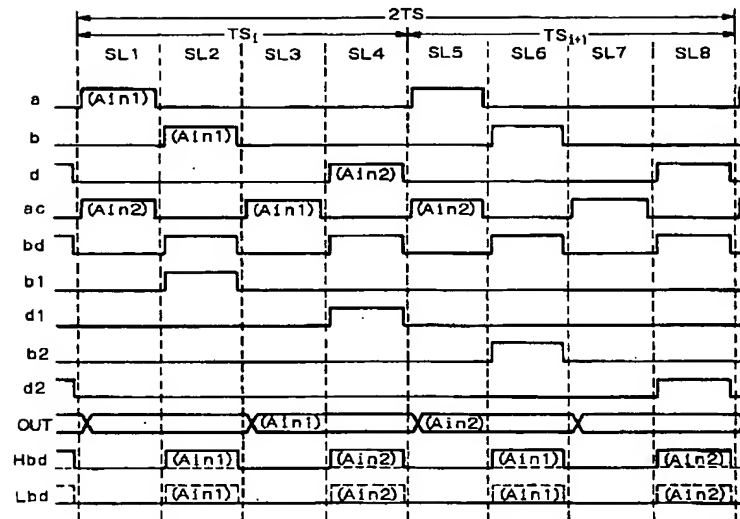


【図4】

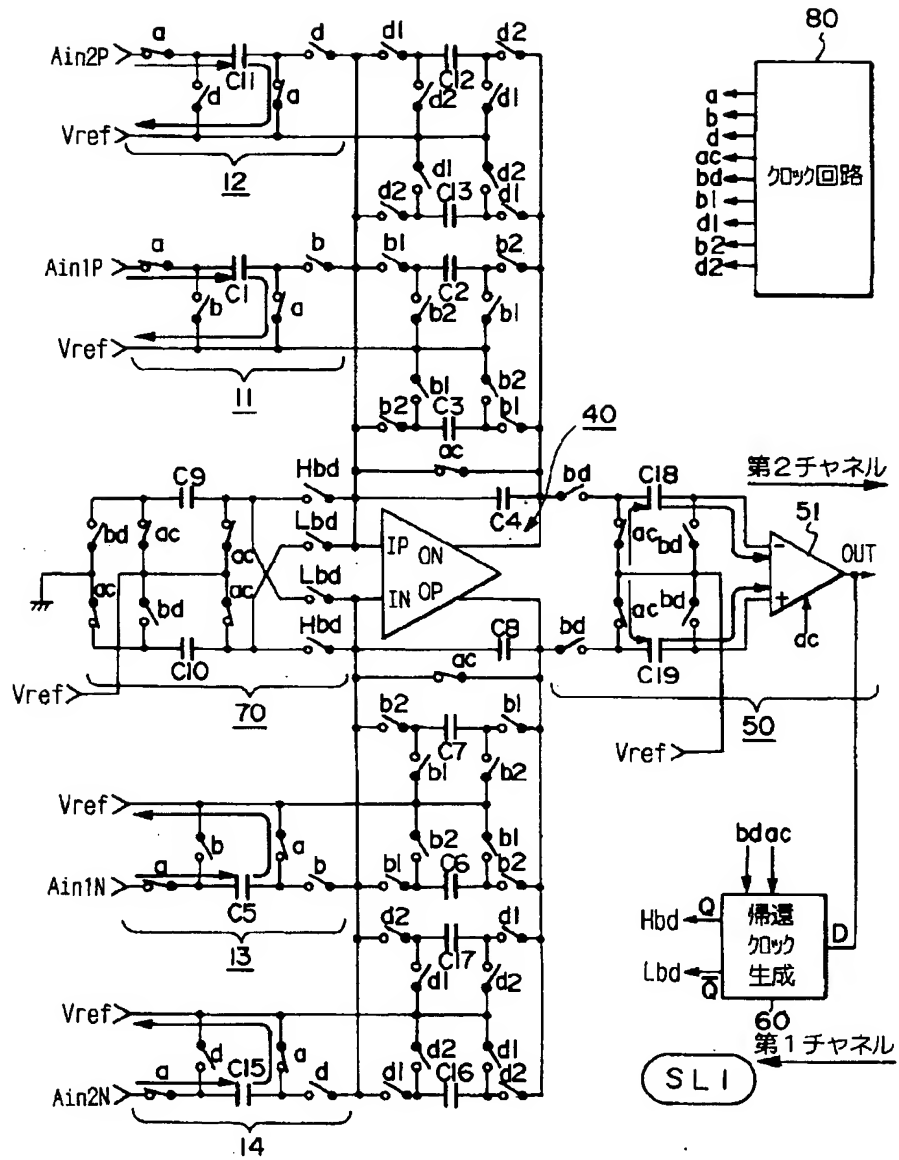




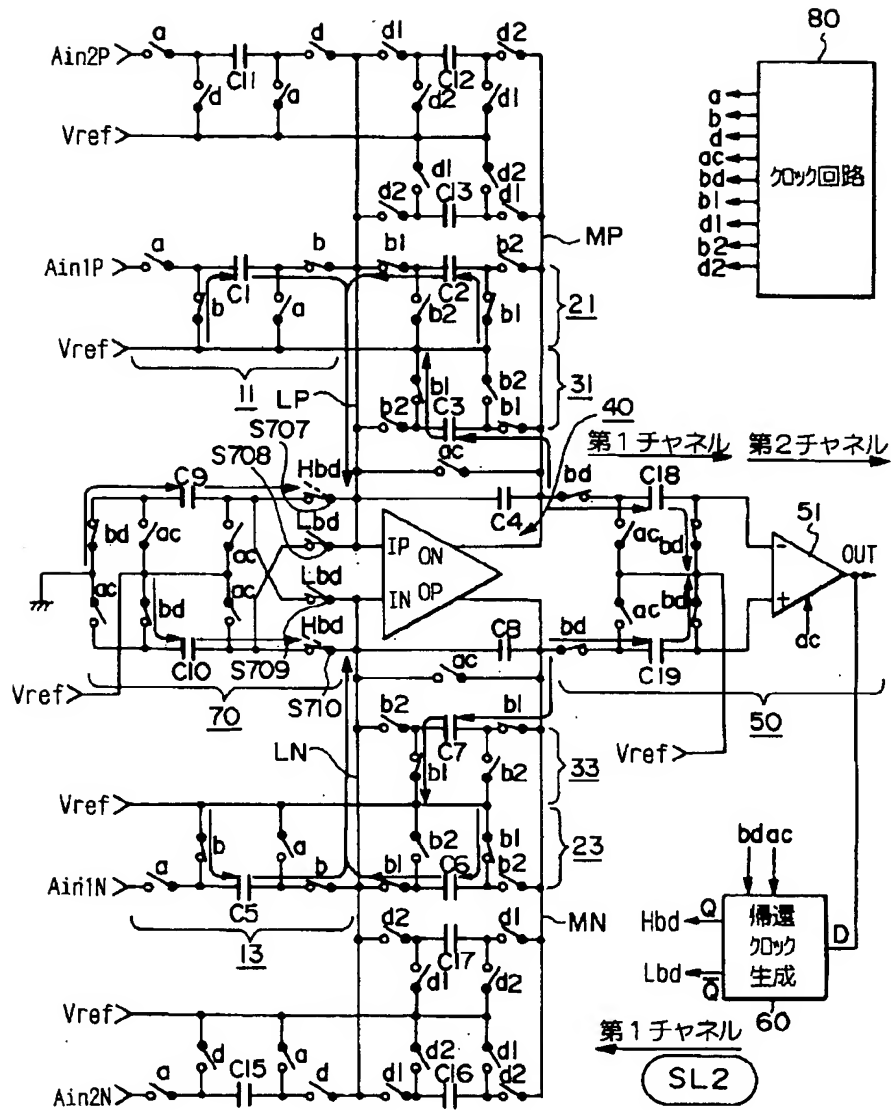
【図5】



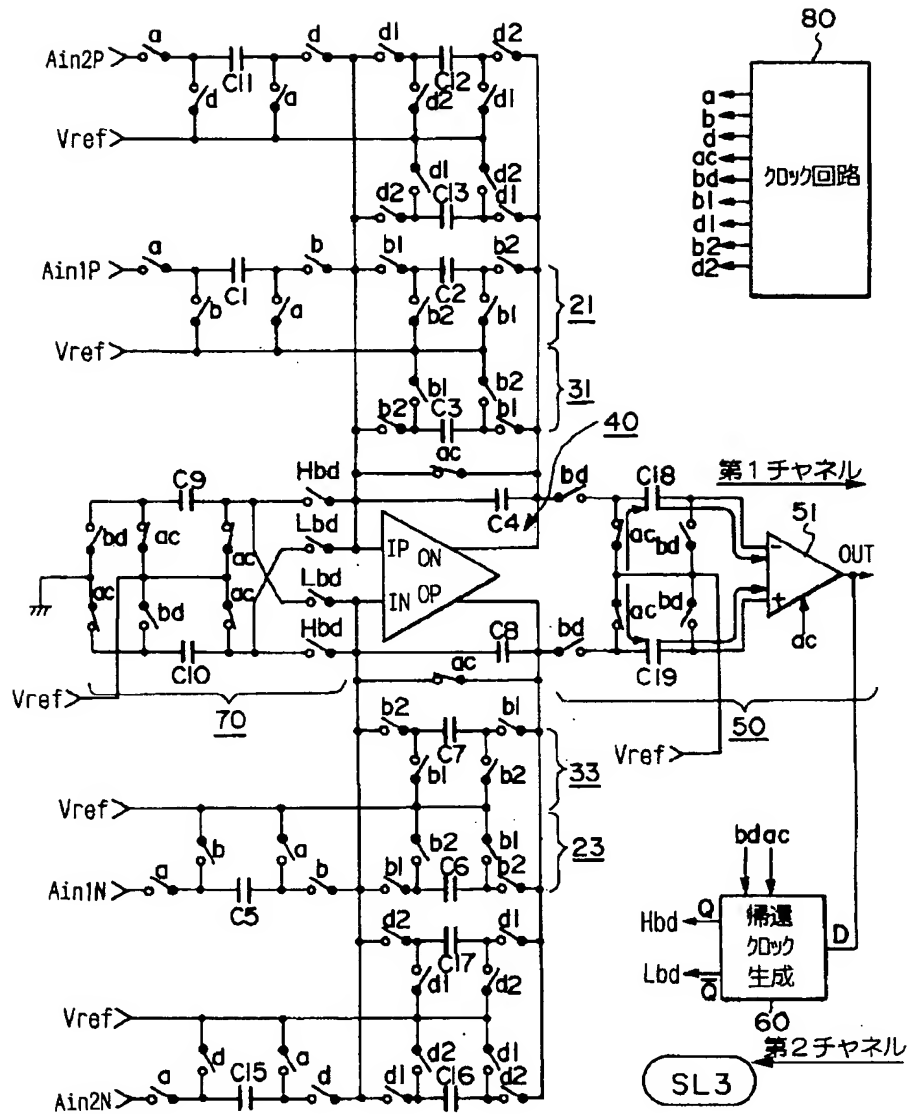
【図6】



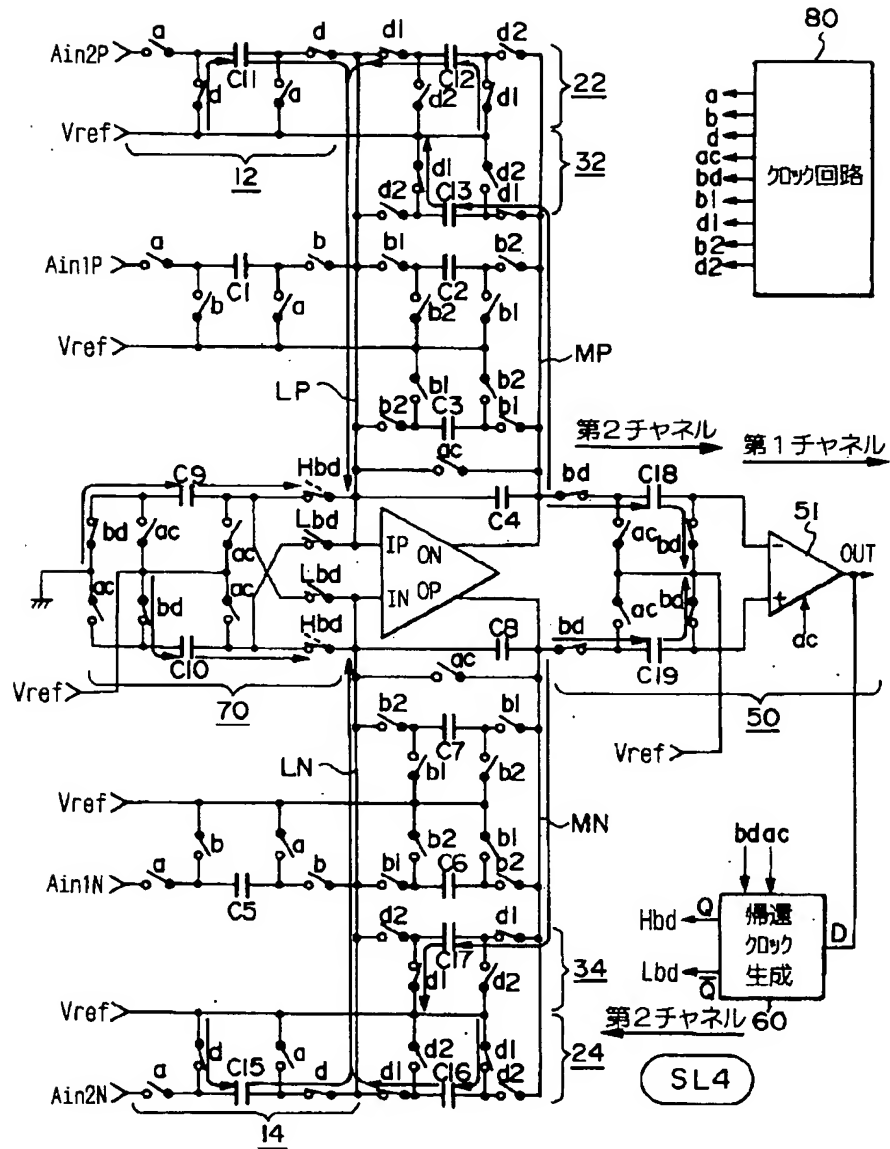
【図7】



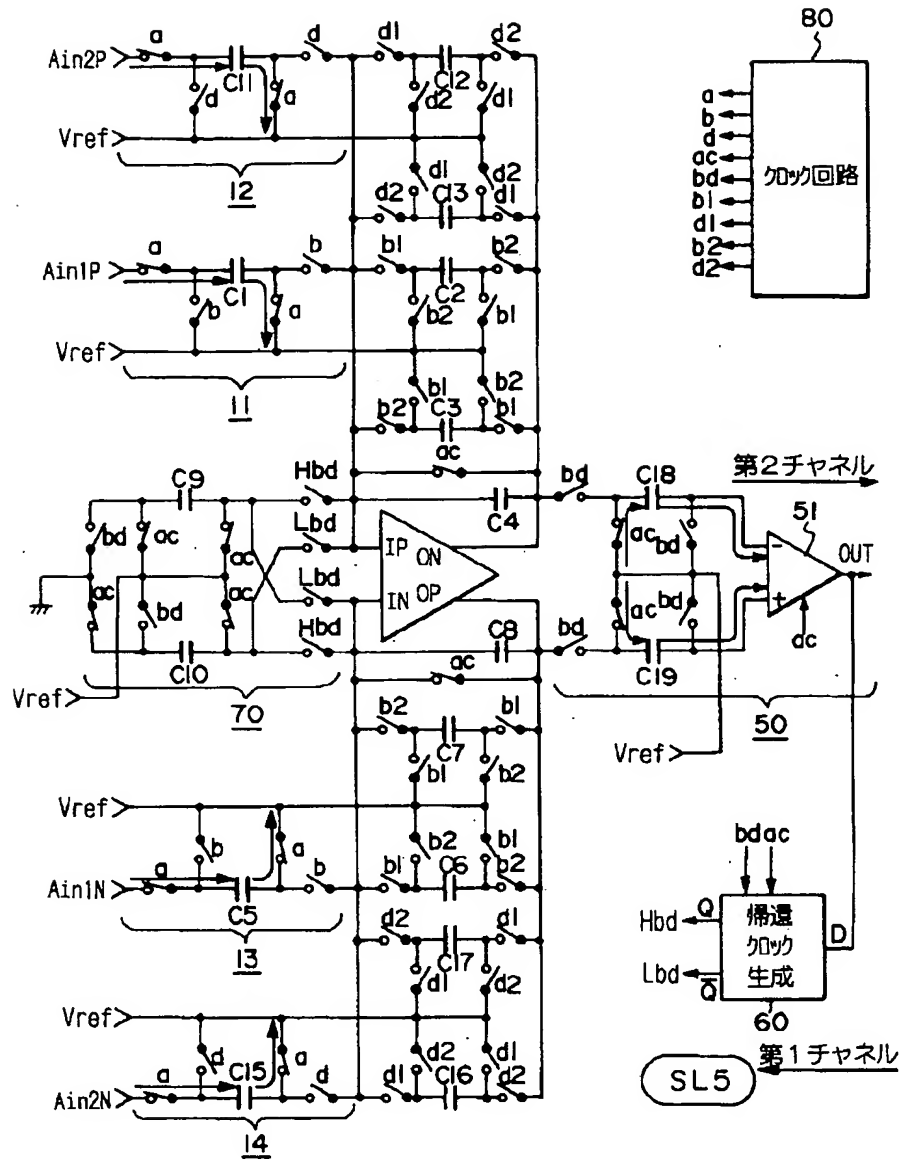
【図8】



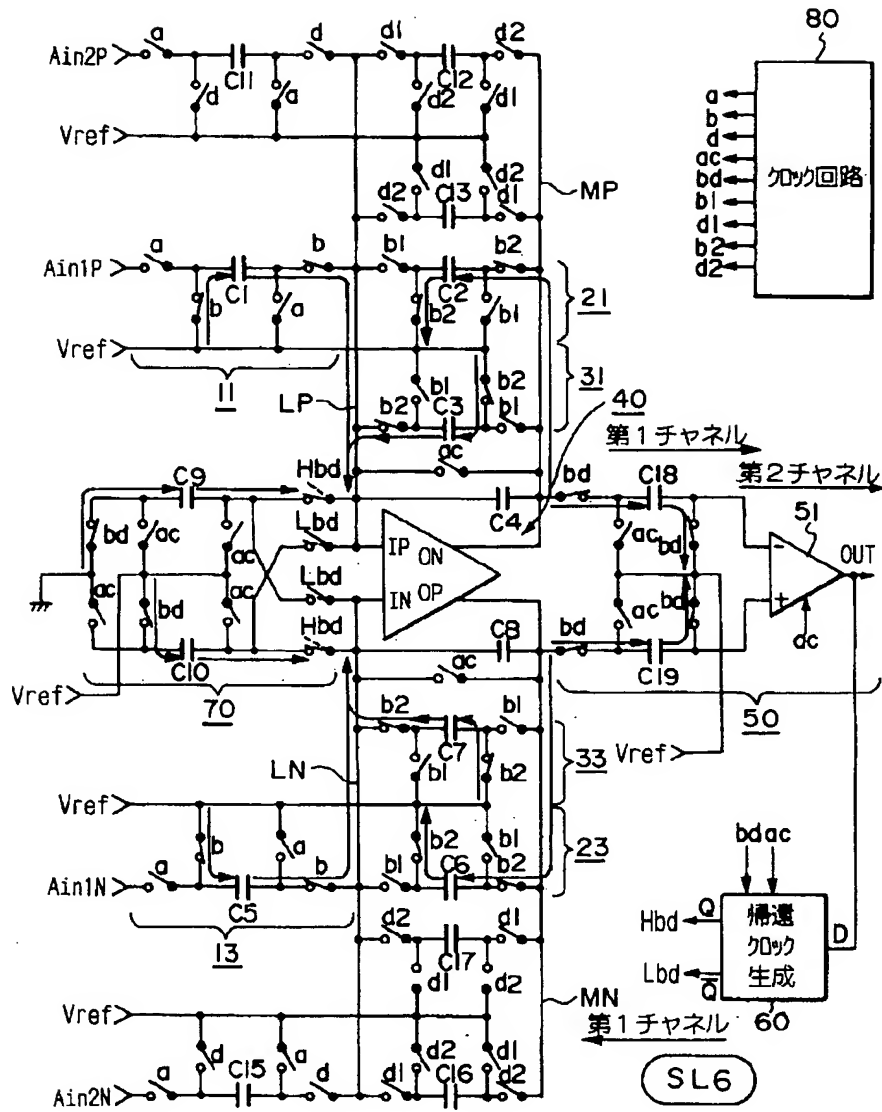
【図9】



【図10】

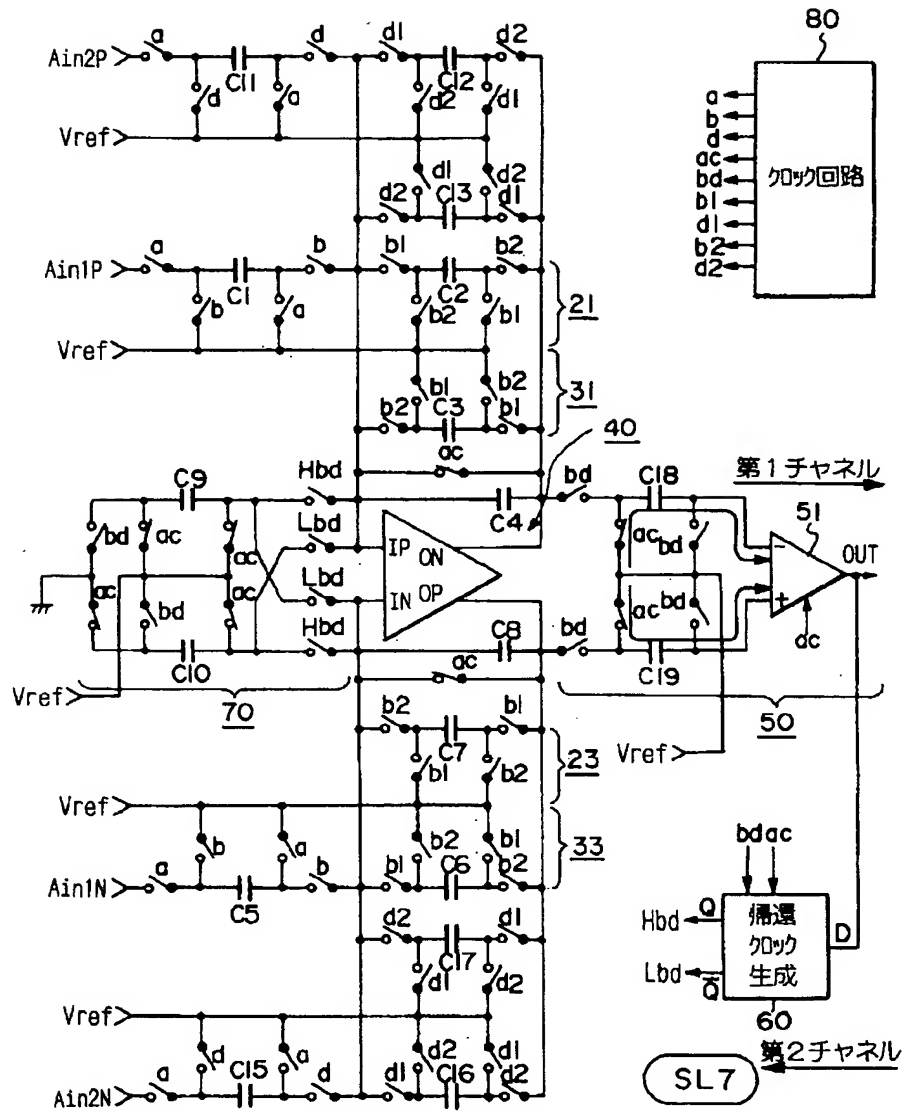


【図11】





〔図12〕



【図13】

